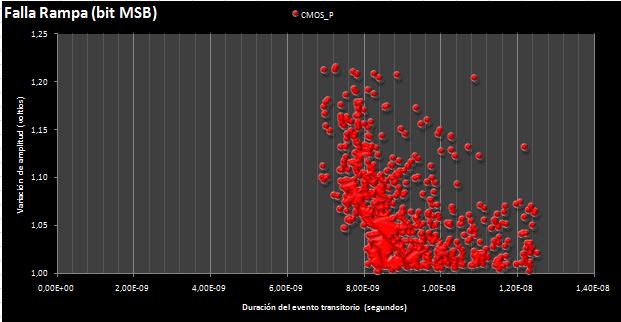
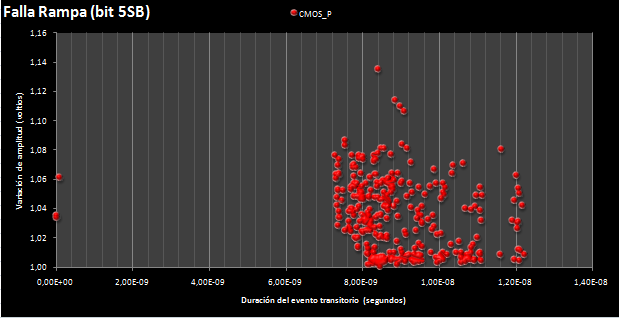
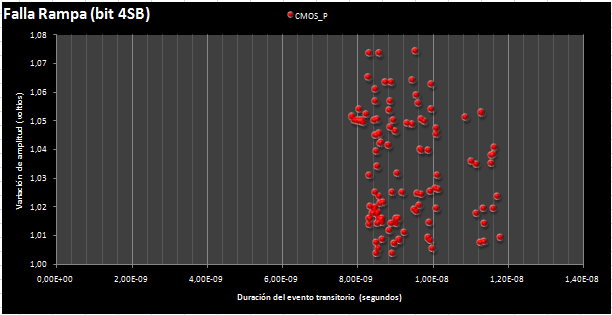
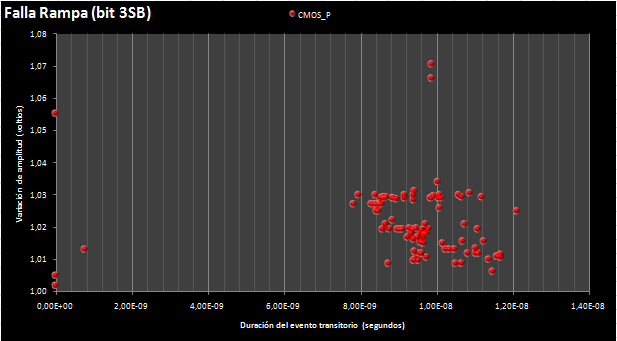
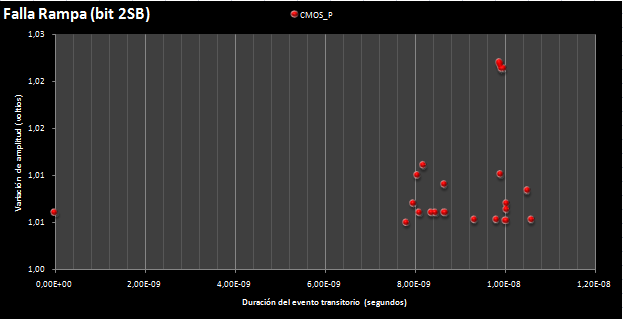
## APÉNDICE D: Simulaciones extras.

A continuación se encuentran las graficas de dispersión de errores de los demás bits de salida, producidos por la inyección de la falla tipo rampa. Si se observa detenidamente, se puede apreciar que para todos los bits de salida, los errores producidos tienen una duración aproximada de entre 8 y 10 nS, y solamente se ven afectados los transistores tipo PMOS. También es notable el aumento de tensión del error relacionado a la ponderación de los bits de salida. Esto es cierto siempre, para todos los bits exceptuando el menos significativo (LSB).



Gráficas de dispersión de los restantes bit de salida para la falla tipo rampa.